

Introducción a los Sistemas Lógicos y Digitales

Cronograma de clases año lectivo 2017:

Teoría:

Miércoles de 08:00 a 11:00 horas. Aula 39

Práctica y Laboratorios:

Jueves de 09:00 a 12:00 horas. Laboratorio de Microcómputo Barcala / Aula 39

Marzo

		<i>Miércoles</i>		<i>Jueves</i>			
		1	Algebra de Boole Diag. de Karnaugh	2	Algebra de Boole Diag. de Karnaugh Herramientas de simulación		
		8	Circuitos Combinatorios	9	Simulación de Circuitos Combinatorios		
		15	Flip-Flops	16	Flip-Flops		
		22	VHDL (Parte I)	23	Flip-Flops (VHDL)		
		29	Contadores y Registros de Desplazamiento	30	Contadores y Registros de Desplazamiento		

Abril

		<i>Miércoles</i>		<i>Jueves</i>			
		5	VHDL (Parte II)	6	Contadores y Registros de Desplazamiento		
		12	Sistemas Numéricos	13	Sistemas Numéricos Circuitos aritméticos		
		19	Circuitos Aritméticos (VHDL Parte III)	20	Circuitos aritméticos (VHDL)		
		26	CONSULTAS TEORÍA	27	PRIMER PARCIAL		

Cronograma de clases año lectivo 2017 (continuación):

Mayo

		<i>Miércoles</i>		<i>Jueves</i>			
		3		4	RESULTADOS. CONSULTAS GENERALES.		
		10	CONSULTAS TEORÍA	11	REC. 1ER PARCIAL		
		17	Análisis y Síntesis (VHDL Parte IV)	18	Análisis y Síntesis RESULTADOS		
		24	VHDL (Parte V)	25	FERIADO NACIONAL		
		31	Familias Lógicas				

Junio

		<i>Miércoles</i>		<i>Jueves</i>			
				1	Familias Lógicas		
		7	Lógica Programable (Parte I)	8	Laboratorio I de FPGA		
		14	Lógica Programable (Parte II)	15	Laboratorio II de FPGA/ RECUPERACIÓN Laboratorio I FPGA		
		21	Convertidores ADC y DAC	22	RECUPERACIÓN Laboratorio II FPGA		
		28	CONSULTAS GENERALES	29	SEGUNDO PARCIAL		

Cronograma de clases año lectivo 2017 (continuación):

Julio

		<i>Miércoles</i>		<i>Jueves</i>			
		5	CONSULTAS GENERALES	6	RECUP. 2DO. PARCIAL		
		12		13	RESULTADOS CONSULTAS		
		19	RECESO INVERNAL	20	RECESO INVERNAL		
		26	RECESO INVERNAL	27	RECESO INVERNAL		

Agosto

		<i>Miércoles</i>		<i>Jueves</i>			
		2	CONSULTAS GENERALES	3	Parcial FLOTANTE		
		9		10	RESULTADOS		
		16	<u>CIERRE DE NOTAS</u>	17			
		23		24			

Temas que entran en cada parcial (módulo):

PARCIAL 1:

Algebra de Boole, Diagramas de Karnaugh, Circuitos combinatorios, Flip-Flops, Contadores, Registros de desplazamiento, VHDL (Partes I y II). Sistemas Numéricos Circuitos Aritméticos.

PARCIAL 2:

Familias Lógicas, Análisis y Síntesis, VHDL (Parte III), Lógica Programable, Conversores ADC y DAC.